

**METHOD AND DEVICE FOR MANUFACTURING SEMICONDUCTOR DEVICE**

Patent Number: JP11251317  
Publication date: 1999-09-17  
Inventor(s): HINODE KENJI; HONMA YOSHIO; SAKUMA NORIYUKI; KONDO SEIICHI;  
OHASHI TADASHI; YAMAGUCHI HIDE  
Applicant(s):: HITACHI LTD  
Requested  
Patent: JP11251317  
Application  
Number: JP19980051792 19980304  
Priority Number  
(s):  
IPC  
Classification: H01L21/3205 ; H01L21/288 ; H01L21/304 ; H01L21/306  
EC Classification:  
Equivalents:

**Abstract**

**PROBLEM TO BE SOLVED:** To make a wire electrode in a desired minute shape, by a method wherein, when a light is used in the cases of detecting presence or absence of a substrate or testing a film thickness, these are performed in a region which is provided in a chip, a substrate circumferential part or the like and has no PN junctions, or the quantity of lights is decreased by a reduction in time, and a light is not irradiated on a PN junction part.

**SOLUTION:** From mounting of a substrate to completion of grinding and drying thereof, while it is dipped in a chemical agent containing pure water, the substrate is shielded from a light in an existing position and a moving path so that the light is not incident on a substrate surface. In a step of measuring an amount of grinding for judging a terminal of the grinding as to whether the next grinding is properly performed, an optical system is used in which a measuring light is restricted so as to emit on only a measuring dedicated region of a substrate circumferential part. Further, in order to decrease extremely a fact that a scattered light is incident on the substrate, an inner wall face of this device is coated not with a mirror surface but with a material having a rolling rough surface. Further, it possible to cope with by reducing a measurement time, or weakening a measured light to decrease a light irradiation amount.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-251317

(43) 公開日 平成11年(1999) 9月17日

(51) Int.Cl. <sup>8</sup>	識別記号	F I		
H 0 1 L	21/3205	H 0 1 L	21/88	K
	21/288		21/288	Z
	21/304		21/304	6 2 2 P
				6 2 2 X
	21/306		21/306	M
審査請求 未請求 請求項の数 6 O L (全 6 頁) 最終頁に続く				

(21) 出願番号 特願平10-51792

(22) 出願日 平成10年(1998) 3月4日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 日野出 憲治

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 本間 喜夫

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 佐久間 憲之

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

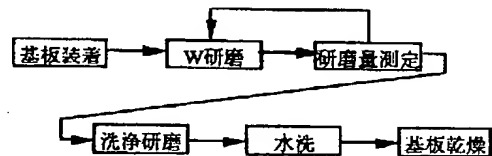
(54) 【発明の名称】 半導体装置の製造方法および製造装置

(57) 【要約】

【課題】電気抵抗が低く、各種特性が優れた半導体装置用配線をプロセス上の大きな負担なしに形成できる微細配線の製造方法を提供する。

【解決手段】半導体の接合部への光照射を防ぐことにより、腐食等、起電力発生による異常反応を抑制する。

図 1



## 【特許請求の範囲】

【請求項1】半導体装置の製造過程で、半導体のPN接合のPまたはNに接続するか、もしくはPとNとを接続するように形成され、かつ基板表面に露出した状態の電極配線を有する基板が液体に浸漬される工程において、バンドギャップ以上のエネルギー（シリコンの場合1.12 eV以上）を持った光が基板表面に照射されないよう遮蔽、もしくは所定の強度（明度）以下に減光した状態で処理することを特徴とする半導体装置の製造方法。

【請求項2】上記の電極配線を有する基板が液体に浸漬される工程が、電極配線を形成するためのメッキ工程、もしくはメッキ前後の洗浄工程であることを特徴とする半導体装置の製造方法。

【請求項3】上記の電極配線を有する基板が液体に浸漬される工程が、CMP（Chemical Mechanical Polishing、化学機械研磨）を含むエッチング工程、もしくはエッチング前後の洗浄工程であることを特徴とする半導体装置の製造方法。

【請求項4】請求項1ないし3のいずれかにおける、基板表面に露出した状態の電極配線が、直径0.2ミクロン以下の層内配線もしくは層間配線（Via Plug）であることを特徴とする半導体装置の製造方法。

【請求項5】請求項4における、基板表面に露出した状態の電極配線が、直径0.2ミクロン以下の銅もしくはアルミニウムを主成分とする層間配線（Via Plug）であることを特徴とする半導体装置の製造方法。

【請求項6】半導体装置の製造過程で、半導体のPN接合のPまたはNに接続するか、もしくはPとNとを接続するように形成され、かつ基板表面に露出した状態の電極配線を有する基板が液体に浸漬される工程において、バンドギャップ以上のエネルギー（シリコンの場合1.12 eV以上）を持った光を基板表面に照射されないよう装置外部からの光を遮蔽し、内部で発生する光の強度を調節する機構を備えた半導体装置の製造装置もしくは、検査等のために基板表面に照射する光をチップや基板周辺部等に設けたPN接合のない領域に制限するか、もしくは必要な時間以外は減光する機構を設けたことを特徴とする半導体装置の製造装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は電子装置の製造方法に関し、微細で高信頼性の配線、特に半導体装置用の配線の製造方法および製造装置に関する。

## 【0002】

【従来の技術】周知のように、半導体装置の集積密度の向上および高性能化のために、素子自体の微細化と同時に素子間を接続する配線の微細化が推し進められている。このような配線の微細化に伴い、製造工程で配線に生じる欠損、欠陥の許容サイズもどんどん小さくなっている。

【0003】これに対応するために、高精度のパターン形成と配線の微細加工技術（端的にはドライエッチング技術）の高度化が求められている。エッチング後、減圧室内で塩素等、腐食性のガスを含むレジスト等を除去することで腐食等による欠陥の発生成長を抑制している。その他の工程ではこのような点に注意した特別な処理は現状では行われていない。

## 【0004】

【発明が解決しようとする課題】しかし、上記従来技術だけで今後の微細化に十分対応することは難しい。特に薬液中で配線金属が露出した半導体基板を処理する際、従来は無視できたPN接合の光起電力による腐食、反応の不均一等が発生することが筆者らの検討により判明した。これは、配線電極を所望の微細形状にできないことを意味する。本発明の目的はこのような不都合を除き、微細で高信頼性の電極配線の製造方法を提供することにある。

## 【0005】

【課題を解決するための手段】導電性の薬液中で基板を処理する際、基板表面のPN接合部に光が照射されないようにすることが基本である。基板の有無の検出や膜厚検査等、光を用いる場合はチップや基板周辺部等に設けたPN接合のない領域で行うか、もしくは短時間化等により光量を減らすことにより達成される。

## 【0006】

【発明の実施の形態】本発明の半導体装置の製造方法は、半導体のPN接合のPまたはNに接続するか、もしくはPとNとを接続するように形成され、かつ基板表面に露出した状態の電極配線を有する基板が導電性の薬液中で基板を処理する工程すべてで有効である。たとえば次に挙げる工程が対象となる。

## 【0007】1) プラグ電極の形成工程

接続孔を充填し、さらに絶縁膜上に形成されているW、Al、Cu等の金属を接続孔内だけ残し、不要な部分を除去する工程である。不要な部分の除去をCMP法で処理する場合はCMP工程とそれに引き続く後洗浄等の工程が対象である。不要な部分をドライエッチング法で除去する場合は後洗浄等の工程が対象である。

## 【0008】2) ダマシン配線（埋め込み配線）の形成工程

配線溝を埋め込みさらに絶縁膜上に形成されているW、Al、Cu等の金属を配線溝内だけ残し、不要な部分を除去する工程である。不要な部分の除去はCMP法で処理する。CMP工程とそれに引き続く後洗浄等の工程が対象である。

## 【0009】3) ドライエッチによる配線の形成工程

基板表面全面に形成されているW、Al、Cu等の金属をレジスト等をマスクにして配線部だけ残し、不要な部分をエッチングで除去する工程である。後洗浄等の工程が対象である。

【0010】4)ドライエッチによるダマシン用配線溝もしくは層間接続孔形成後の洗浄工程

基板表面全面に形成されている絶縁膜をレジスト等をマスクにして配線溝もしくは層間接続孔となる部分をエッチングし、下層のプラグ金属が溝の底に、または下層配線が層間接続孔の底に露出した後の洗浄等の工程が対象である。

【0011】5)スパッタ等PVD(Physical Vapor Deposition, 物理的蒸着)によるW、Al、Cu等の金属膜形成前の洗浄工程

上記4)の工程に引き続き金属膜を形成する前処理として、下層のプラグ金属が溝の底に、または下層配線が層間接続孔の底に露出している状態での洗浄等の工程が対象である。

【0012】6)メッキによるCu等の金属膜形成工程および前処理工程

上記4)の工程に引き続き金属膜を形成する前処理として、下層のプラグ金属が溝の底に、または下層配線が層間接続孔の底に露出している状態での洗浄等の工程、およびそれに引き続いて行われるメッキ工程自身が対象である。

【0013】このように多くの工程が対象になるが、その中で代表的なものについて実施例を挙げて説明する。

【0014】<実施例1>図1は本発明の第1の実施例の一つを示す工程図である。プロセス自体は従来のW研磨プロセスと同じである。半導体基板を次のように処理した。基板表面には素子が形成されており層間を接続するためのWプラグをCMPによって形成する工程である。従来と違うのは次の2点である。

【0015】1)基板装着から研磨が完了して基板を乾燥するまで、純水も含めて薬液に浸漬されている間は光が基板表面に入射しないよう基板が滞在する場所と移動する通路を遮光した。

【0016】2)研磨が適正に行われたかどうか研磨の終点を判定するために研磨量を測定する工程がある。従来は基板全面もしくは基板内の場所を特定せず光を当ててWの有無を判定、もしくは下地絶縁膜の厚さ等を測定していた。本発明では、測定のための光は基板周辺部の測定専用領域のみに当たるように制限した光学系に変えた。散乱光が基板に入射するのも極力減らすために、装置内壁面を鏡面でなく起伏のある荒れた表面の材質で覆った。この目的には測定を短時間化もしくは測定光を弱くして光照射量を減らすことでも対応できる。

【0017】このようにして形成したWプラグの形状と、さらにプラグ上に配線を形成して測定した試験パターンの導通歩留まりとを図2に示す。比較のため、従来と同様の処理をしたものについても結果を示した。

【0018】図(a)は本発明の処理法で形成したWプラグの断面図である。CMP法により絶縁膜表面まで研磨された所望の形状が得られている。13は拡散層等に

接続している配線、12はシリコン酸化膜もしくは窒化膜等の絶縁膜、11が正常に研磨されたWプラグである。

【0019】図(b)は従来法の光の照射がある状態で処理したもので、半導体基板のP型拡散層に接続されているプラグは腐食によると思われる欠損14が生じている。

【0020】図(c)と(d)は(a)と(b)に対応する平面観察図である。(c)が正常、(d)が欠損のある状態を示している。

【0021】図(e)はこのようにして形成したWプラグ上に配線を形成し、10万個のプラグを直列接続したパターンで測定した導通(正常抵抗)歩留まりである。接続孔径が大きいものについてはほぼ100%の歩留まりが得られているが、孔径0.2ミクロン以下になると従来方法では顕著に歩留まりが低下する。本発明の方法を用いるとこのパターンでは0.1ミクロン径近くまで高い歩留まりが得られた。

【0022】本実施例では、Wプラグを形成する研磨工程を示したが、Wだけでなく、CuやAl合金、TiN等の導電性化合物でプラグを形成する場合も本発明の方法により同様の目的を達成できることはいうまでもない。

【0023】<実施例2>図3は本発明の第2の実施例を示す工程図である。上記実施例1では上下層の配線を接続するプラグについて説明した。本実施例では、同様の研磨法で配線を形成する場合について説明する。図3はCuダマシン配線形成の工程図である。プロセス自体は従来のCuダマシンプロセスと同じである。半導体基板を次のように処理した。基板表面には素子が形成されており層間を接続するためのWプラグが実施例1の工程によって形成されている。この上層にCu配線をCMPを用いて形成する工程である。従来と違うのは次の2点である。

【0024】1)基板装着から研磨が完了して基板を乾燥するまで、純水も含めて薬液に浸漬されている間は光が基板表面に入射しないよう基板が滞在する場所と移動する通路を遮光した。

【0025】2)研磨が適正に行われたかどうか研磨の終点を判定するために研磨量を測定する工程がある。従来は基板全面もしくは基板内の場所を特定せず光を当ててCu/TiN層の有無を判定、もしくは下地絶縁膜の厚さ等を測定していた。本発明では、測定のための光は基板周辺部の測定専用領域のみに当たるように制限した光学系に変えた。散乱光が基板に入射するのも極力減らすために、装置内壁面を鏡面でなく起伏のある荒れた表面の材質で覆った。この目的には測定を短時間化もしくは測定光を弱くして光照射量を減らすことでも対応できる。

【0026】このようにして形成したCu配線の形状

と、さらにプラグ上に配線を形成して測定した試験パターンの導通歩留まりとを図4に示す。比較のため、従来と同様の処理をしたものについても結果を示した。

【0027】図(a)は本発明の処理法で形成したCu配線の断面図である。CMP法により絶縁膜表面まで研磨された所望の形状が得られている。13は拡散層等に接続している配線、12はシリコン酸化膜もしくは窒化膜等の絶縁膜、11が正常に研磨されたWプラグ、21はTiNバリア、22は正常に研磨されたCu配線である。

【0028】図(b)は従来法の光の照射がある状態で処理したもので、半導体基板のP型拡散層に接続されているプラグは腐食によると思われるCu欠損24が生じている。

【0029】図(c)はこのようにしてCu配線を形成し、長さ1mmのパターンで測定した配線抵抗である。配線幅が広いものについてはTiNの厚さを考慮するとほぼバルクCuの比抵抗値(1.7mΩcm)が得られているが、幅0.2ミクロン以下になると従来方法では顕著に配線抵抗が増加する。これは配線の一部に欠損が生じたためである。本発明の方法を用いるとこのパターンでは0.1ミクロン幅近くまで低抵抗のCu配線が得られた。

【0030】本実施例では、Cu配線を形成する研磨工程を示したが、Cuだけでなく、WやAl合金、TiN等の導電性化合物で配線を形成する場合も本発明の方法により同様の目的を達成できることはいうまでもない。

【0031】<実施例3>上記実施例1および2ではCMPを用いたダマシン法(溝外の金属などを除去して、溝内のみに金属などを残す方法)によってプラグと配線を形成したが、本実施例では上記溝内への導電体材料の充填と平坦化の工程は行わず、ドライエッチングによって配線を形成した例を示す。

【0032】図5は本発明の第3の実施例を示す工程図である。プロセス自体は従来の配線ドライエッチングプロセスと同じである。半導体基板を次のように処理した。基板表面には素子が形成されており層間を接続するためのWプラグが実施例1の工程によって形成されている。この上層にAl配線をドライエッチングを用いて形成する工程である。

【0033】図6に示すように、TiN層31、Al層32、TiN層33を積層して形成した後、通常のフォトリソエッチング工程でレジストマスクを形成した。なお、微細なパターンを形成するため電子ビーム露光法を採用した。塩素を主成分とするガスを導入してドライエッチングをした後真空装置内でレジストを除去する処理を施した。その後酸を主成分とする薬液で基板上の残さを除去した。プロセス自体は従来と同じものである。従来と違うのは次の点である。

【0034】基板を洗浄装置に装着してから洗浄が完了

して基板を乾燥するまで、純水も含めて薬液に浸漬されている間は光が基板表面に入射しないよう基板が滞在する場所と移動する通路を遮光した。

【0035】このようにして形成したAl配線の形状と、さらにプラグ上に配線を形成して測定した試験パターンの導通歩留まりとを図6に示す。比較のため、従来と同様の処理をしたものについても結果を示した。

【0036】図(a)は本発明の処理法で形成したAl配線の断面図である。ドライエッチング法によりほぼ垂直に加工された所望の形状が得られている。13は拡散層等に接続している配線、12はシリコン酸化膜もしくは窒化膜等の絶縁膜、11が正常に研磨されたWプラグ、31と33はTiNバリア、32は正常に加工されたAl配線である。

【0037】図(b)は従来法の光の照射がある状態で処理したもので、半導体基板のP型拡散層に接続されている配線は腐食によると思われるAl欠損34が生じている。

【0038】図(c)はこのようにしてAl配線を形成し、長さ1mmのパターンで測定した配線抵抗である。配線幅が広いものについてはTiNの厚さを考慮するとほぼバルクAlの比抵抗値(3-3.5mΩcm)が得られているが、幅0.2ミクロン以下になると従来方法では顕著に配線抵抗が増加する。これは配線の一部に欠損が生じたためである。本発明の方法を用いるとこのパターンでは0.1ミクロン幅近くまで低抵抗のAl配線が得られた。

【0039】本実施例では、Al配線を形成する研磨工程を示したが、Alだけでなく、WやCu合金、TiN等の導電性化合物で配線を形成する場合も本発明の方法により同様の目的を達成できることはいうまでもない。

【0040】<実施例4>図7は本発明の第4の実施例の一つを示す工程図で、メッキ法によって層間接続孔内にプラグを形成するものである。プロセス自体は従来のメッキプロセスと同じである。半導体基板を次のように処理した。基板表面には素子が形成されており層間を接続するためのCuプラグをCMPによって形成する工程である。従来と違うのは次の点である。

【0041】前洗浄装置への基板装着からメッキ中、メッキが完了して基板を乾燥するまで、純水も含めて薬液に浸漬されている間は光が基板表面に入射しないよう基板が滞在する場所と移動する通路を遮光した。

【0042】このようにして形成したCuプラグの形状と、さらにプラグ上に配線を形成して測定した試験パターンの導通歩留まりとを図8に示す。比較のため、従来と同様の処理をしたものについても結果を示した。

【0043】図(a)は本発明の処理法で形成したCuプラグの断面図である。メッキ法により絶縁膜表面まで堆積された所望の形状が得られている。13は拡散層等に接続している配線、12はシリコン酸化膜もしくは窒

化膜等の絶縁膜、41が正常にメッキされたCuプラグである。

【0044】図(b)は従来法の光の照射がある状態で処理したもので、半導体基板のP型拡散層に接続されているプラグは腐食42、もしくはデポレート低下によると思われる欠損43が生じている。

【0045】図(c)はこのようにして形成したCuプラグ上に配線を形成し、10万個のプラグを直列接続したパターンで測定した導通(正常抵抗)歩留まりである。接続孔径が大きいものについてはほぼ100%の歩留まりが得られているが、孔径0.2ミクロン以下になると従来方法では顕著に歩留まりが低下する。本発明の方法を用いるとこのパターンでは0.1ミクロン径近くまで高い歩留まりが得られた。

【0046】本実施例では、Cuプラグを形成する研磨工程を示したが、Cuだけでなく、Al合金等の導電性化合物でプラグを形成する場合も本発明の方法により同様の目的を達成できることはいうまでもない。

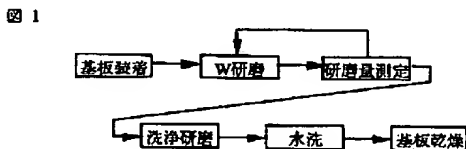
【0047】

【発明の効果】上記説明から明らかなように、本発明によれば、電気抵抗が低く、また信頼性にも優れ、高性能の半導体装置の製造方法が実現された。

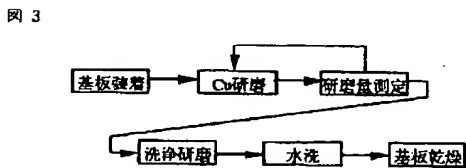
【図面の簡単な説明】

【図1】本発明の実施例1を示す半導体装置の製造工程図。

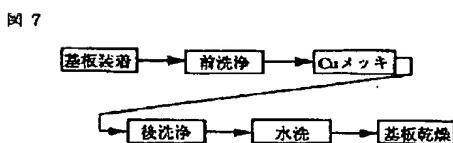
【図1】



【図3】



【図7】



\*【図2】本発明の実施例1を示すWプラグ部の断面図および歩留まりを示すグラフ。

【図3】本発明の実施例2を示す半導体装置の製造工程図。

【図4】本発明の実施例2を示すCu配線部の断面図および配線抵抗率を示すグラフ。

【図5】本発明の実施例3を示す半導体装置の製造工程図。

【図6】本発明の実施例3を示すAl-Cu配線部の断面図および配線抵抗率を示すグラフ。

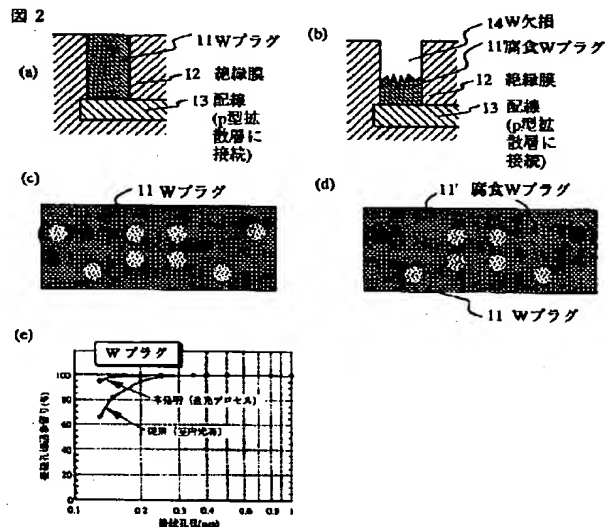
【図7】本発明の実施例4を示す半導体装置の製造工程図。

【図8】本発明の実施例4を示すCuプラグ部の断面図および歩留まりを示すグラフ。

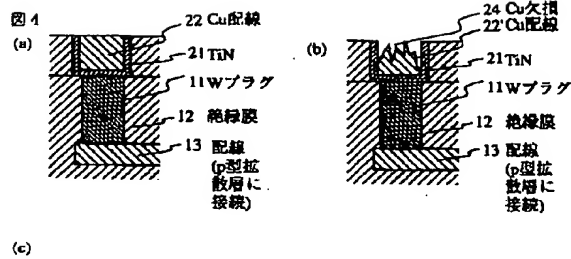
【符号の説明】

11…Wプラグ(本発明、正常)、11'…Wプラグ(従来、腐食)、12…絶縁膜、13…下層配線(p型拡散層に接続)、14…W欠損、21…TiNバリア、22…Cu配線(本発明、正常)、22'…Cu配線(従来、腐食)、24…Cu欠損、31、33…TiNバリア、32…Al配線(本発明、正常)、32'…Al配線(従来、腐食)、34…Al欠損、41…Cuプラグ(本発明、正常)、41'…Cuプラグ(従来、成長異常)、42…Cu欠損(下地側)、43…Cu欠損(上部側)。

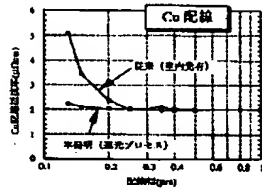
【図2】



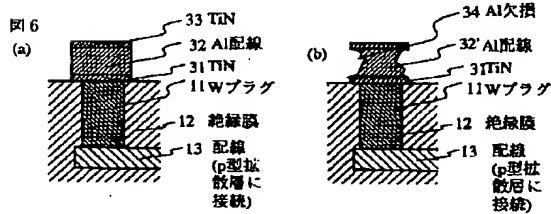
【図4】



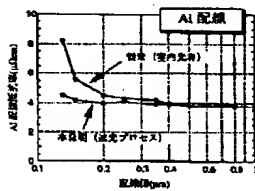
(c)



【図6】

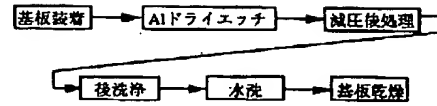


(c)



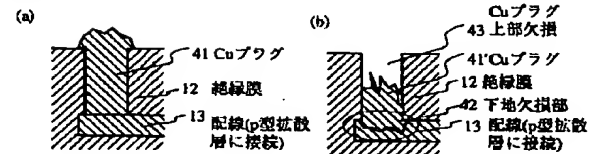
【図5】

図5

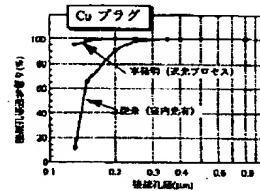


【図8】

図8



(c)



フロントページの続き

(51)Int.Cl.®

識別記号

F I

H 0 1 L 21/306

F

(72)発明者 近藤 誠一

東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内

(72)発明者 大橋 直史

東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内

(72)発明者 山口 日出

東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内